

KONFIGURACJA ZEGARA CPU

MSB	B2	B1	LSB	HEX	Zegar CPU [MHz]	Dopuszczalne konfiguracje pozostałych zegarów			
						CPU:DDR	Zegar DDR	CPU:L2	Zegar L2
1	1	0	0	0xC	1500 MHz	4:1	375 MHz	3:1	500 MHz
1	0	0	1	0x9	1200 MHz	3:1	400 MHz		400 MHz
						4:1	300 MHz		
						4.5:1	267 MHz		
0	1	1	1	0x7	1000 MHz	6:1	200 MHz	333 MHz	
						3:1	333 MHz		
						4:1	250 MHz		
0	1	1	0	0x6		5:1	200 MHz		
						Konfiguracja domyślna wynikająca z wewnętrznych rezystorów podciągających. Według dokumentacji, niedopuszczalna.			

Nazwa:	MPP[2]	MPP[5]	MPP[19]	MPP[10]
Domyślna wartość (pull up/down):	PD	PU	PU	PD
Domyślna funkcja:	GPO[2]	GPO[5]	GPO[19]	GPO[10]
Pozostałe funkcje	0x1	NF_IO[4]	NF_IO[7]	NF_IO[1]
	0x2	SPI_SCK	UA0_TXD	SPI_SCK
	0x3	-	-	UA0_TXD
	0x4	-	PTP_TRIG_GEN	-
	0x5	-	SATA0_AC Tn	SATA1_AC Tn
	0xC	-	-	PTP_TRIG_GEN
	0xD	-	-	-
NSA310	Oznaczenie:	NAND FLASH I/O4	NAND FLASH I/O7	NAND FLASH I/O1
	Nazwa rezystora:	R5/R6	R8/R7	R10/R9
	Wartość:	4.7k	4.7k	4.7k
	Przez rezystor do:	VCC3V3	GND	GND

Zegar fabryczny	Zmiany przy przejściu na zegar:		
	1000 MHz	1200 MHz	1500 MHz
1000 MHz	n/d	MPP[2] (0 > 1)	MPP[2] (0 > 1)
		MPP[5] (1 > 0)	-
		MPP[19] (1 > 0)	MPP[19] (1 > 0)
		-	MPP[10] (1 > 0)
1200 MHz	n/d	MPP[2] (1 > 0)	-
		MPP[5] (0 > 1)	MPP[5] (0 > 1)
		MPP[19] (0 > 1)	-
		-	MPP[10] (1 > 0)



KONFIGURACJA ZEGARA DDR

MSB	B2	B1	LSB	HEX	CPU:DDR	Zegar DDR w zależności od zegara CPU		
						1000 MHz	1200 MHz	1500 MHz
1	0	0	1	0x9	6:1	-	200 MHz	-
1	0	0	0	0x8	5:1	200 MHz	-	-
0	1	1	1	0x7	4.5:1	-	267 MHz	-
0	1	1	0	0x6	4:1	250 MHz	300 MHz	375 MHz
0	1	0	0	0x4	3:1	333 MHz	400 MHz	-

Nazwa:		MPP[33]	NF_ALE	NF_REn	NF_CLE
Domyślna wartość (pull up/down):		PD	PU	PD	PD
Domyślna funkcja:		GPO[33]	NAND Addr Latch En	NAND Read En	NAND Cmd Latch En
Pozostałe funkcje	0x1	-	-	-	-
	0x2	TDM_DTX	-	-	-
	0x3	GE1[13]	-	-	-
	0x4	-	-	-	-
	0x5	-	-	-	-
	0xC	-	-	-	-
	0xD	-	-	-	-
NSA310	Oznaczenie:	brak informacji	NAND FLASH ALE	NAND FLASH RE	NAND FLASH CLE
	Nazwa rezystora:		R16/R15	R17/R18	R20/R19
	Wartość:		-	-	-
	Przez rezystor do:		-	-	-

